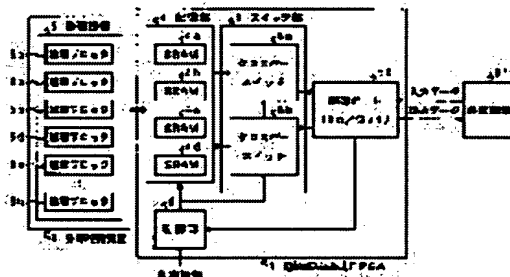


(43)Date of publication of application : 18.12.1998

H01L 21/82

(72)Inventor : HIRAI TOMONORI

SOLUTION: This FPGA 7 includes a logical circuit having a given function which is formed by arranging a plurality of rewritable memory components 4a-4d and wiring logical information 5a-5h to these memory components 4a-4d. In this case, a plurality of logical informations 5a-5h which are provided for establishing a given logical circuit are stored in a memory and some pieces 5a to 5h of logical information are read out from the memory and are written into one of memory components 4a-4d so as to establish a first logical circuit. Furthermore, some of the logical informations 5a-5h are read out and are written into one of memory components 4a-4d to establish a second logical circuit.



[Date of extinction of right]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAYRag4bDA410335462...> 2004/11/19

THIS PAGE BLANK (USP 10)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-335462

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

A

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願平9-136843

(22) 出願日 平成9年(1997)5月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 平井 智則

東京都府中市東芝町1番地 株式会社東芝

府中工場内

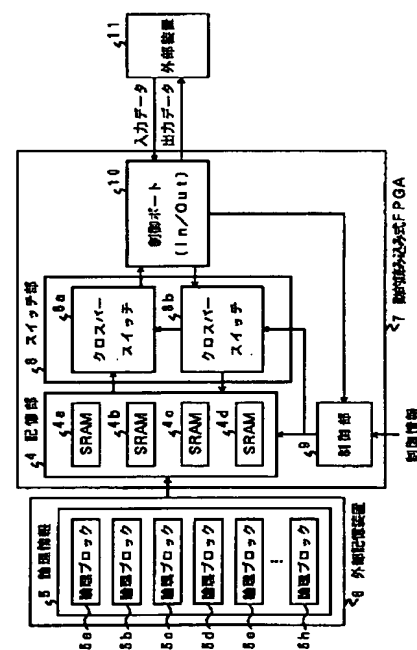
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 フィールド・プログラマブル・ゲートアレイ

(57) 【要約】

【課題】 高速な機能変更及び構成する論理素子の削減が可能なFPGA。

【解決手段】 書き換え可能なメモリ素子4a～4dを複数配列し、このメモリ素子4a～4dに論理情報5a～5hを書き込むことにより所定の機能を有する論理回路を形成するフィールド・プログラマブル・ゲートアレイ7において、所定の論理回路を形成するための論理情報5a～5hを複数記憶装置6に記憶し、この記憶装置6から論理情報5a～5hのいくつかを読み出してメモリ素子4a～4dのいずれかに書き込むことにより第1の論理回路を形成し、さらに記憶装置6から論理情報5a～5hのいくつかを読み出してメモリ素子4a～4dのいずれかに書き込むことにより第2の論理回路を形成する。



【特許請求の範囲】

【請求項 1】 書き換え可能なメモリ素子を複数配列し、このメモリ素子に論理情報を書き込むことにより所定の機能を有する論理回路を形成するフィールド・プログラマブル・ゲートアレイにおいて、前記所定の論理回路を形成するための論理情報を複数記憶装置に記憶し、この記憶装置から論理情報を読み出して前記メモリ素子に書き込むことにより第 1 の論理回路を形成し、さらに前記記憶装置から論理情報を読み出して前記メモリ素子に書き込むことにより第 2 の論理回路を形成することを特徴とするフィールド・プログラマブル・ゲートアレイ。

【請求項 2】 前記第 2 の論理回路は、前記第 1 の論理回路を形成するために使用されていないメモリ素子により形成されることを特徴とする請求項 1 に記載のフィールド・プログラマブル・ゲートアレイ。

【請求項 3】 前記第 2 の論理回路は、前記第 1 の論理回路が使用された後に使用されるべき論理回路であることを特徴とする請求項 1 又は請求項 2 に記載のフィールド・プログラマブル・ゲートアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ユーザプログラム可能な論理素子である F P G A に関する。

【0002】

【従来の技術】従来より、論理回路をユーザ側でプログラム可能な論理素子である F P G A (Field Programmable Gate Array) が知られている。特に S R A M タイプの F P G A は、電気的な書き換えが容易なことから、製造後においても論理回路の内容を自在に変更することができる。

【0003】図 9 に従来の S R A M タイプの F P G A の概要を示している。ゲートアレイ基板 1 上に各々アドレス入力端子 2 とデータ出力端子 3 とを有する複数の S R A M 4 a ~ 4 d を実装し、各 S R A M 4 a ~ 4 d に論理素子として機能させるための論理情報 5 を読み込ませる。また、S R A M 4 a ~ 4 d はルックアップテーブルとしても機能させることができるので、所望の論理回路を実現するのに必要な多数の論理要素を予め S R A M 4 a ~ 4 d にルックアップテーブル情報として読み込ませておき、アドレス入力端子 2 から入力されたアドレスに対応するデータをデータ出力端子から出力することにより、全体として動作させたときに論理回路として機能させることができる。

【0004】複数の論理要素から構成される論理回路の論理情報 5 を、個々の S R A M 4 a ~ 4 d に持たせる機能となる論理ブロック 5 a ~ 5 d に分割して外部記憶装置 6 に記憶し、この外部記憶装置 6 から各 S R A M 4 a ~ 4 d に論理ブロック 5 a ~ 5 d を書き込む。そして、S R A M 4 a ~ 4 d 間の接続関係や S R A M 4 a ~ 4 d

の動作順序などを示す制御情報を F P G A のコントローラへ入力し、S R A M 4 a ~ 4 d の間の接続を行ない、動作順序に従って動作する。

【0005】このように、F P G A は、論理ブロック 5 a ~ 5 d が割り当てられた S R A M 4 a ~ 4 d の間を接続し、所定の動作順序に従って動作することで論理回路として機能する。F P G A で実現する論理回路の内容を変更する場合は、外部記憶装置 6 に新しい論理情報を準備し、F P G A の動作を停止してから、外部記憶装置 6 から新しい論理情報を読み込む。

【0006】

【発明が解決しようとする課題】しかしながら、F P G A で論理回路の機能を実現するためには、論理回路の機能実現に必要な論理情報 5 の全てを、F P G A を動作させる前に論理ブロック 5 a ~ 5 d の形で S R A M 4 a ~ 4 d に書き込んでおく必要があるため、論理回路の機能が高度化、複雑化することに応じて F P G A を構成する S R A M 4 a ~ 4 d の素子数が増大し、規模が大きくなるという問題がある。

【0007】本発明の目的は、論理情報を必要に応じて動的に読み込ませてメモリ素子に持たせる機能を変更することで、大規模論理回路を小規模な論理素子で実現可能な F P G A を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、書き換え可能なメモリ素子を複数配列し、このメモリ素子に論理情報を書き込むことにより所定の機能を有する論理回路を形成するフィールド・プログラマブル・ゲートアレイにおいて、所定の論理回路を形成するための論理情報を複数記憶装置に記憶し、この記憶装置から論理情報を読み出してメモリ素子に書き込むことにより第 1 の論理回路を形成し、さらに記憶装置から論理情報を読み出してメモリ素子に書き込むことにより第 2 の論理回路を形成するフィールド・プログラマブル・ゲートアレイである。

【0009】本発明のフィールド・プログラマブル・ゲートアレイにおいては、書き込み可能なメモリ素子に形成される所定の論理回路を、第 1 の論理回路及び第 2 の論理回路として分割して実現することができるため、第 1 の論理回路及び第 2 の論理回路の形成に必要とされるだけのメモリ素子を準備すればよい。

【0010】ゆえに、メモリ素子等の論理素子の削減が可能となり大規模論理回路を小規模な論理素子で実現することができる。また、本発明は、第 2 の論理回路は、第 1 の論理回路を形成するために使用されていないメモリ素子により形成されるフィールド・プログラマブル・ゲートアレイである。

【0011】本発明のフィールド・プログラマブル・ゲートアレイにおいては、上記の発明と同様の作用効果に加え、第 2 の論理回路を、第 1 の論理回路で使用されて

いないメモリ素子に形成するため、第1の論理回路の実行中に、第2の論理回路を形成することができる。

【0012】さらに、本発明は、第2の論理回路は、第1の論理回路が使用された後に使用されるべき論理回路であるフィールド・プログラマブル・ゲートアレイである。本発明のフィールド・プログラマブル・ゲートアレイにおいては、第1の論理回路の実行中に、第2の論理回路を形成することができる。

【0013】また、論理回路として動作する上で、現在の動作で必要な機能を第1の論理回路で実現し、次の動作で必要な機能を第2の論理情報で実現し、この第1の論理回路及び第2の論理回路のみをメモリ素子に準備すればよい。ゆえに、メモリ素子等の論理素子の削減が可能となり大規模論理回路を小規模な論理素子で実現することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

（第1の実施の形態）図1は、本実施の形態の動的読み込み式FPGAの構成例を示すブロック図であり、図9と同一部分には同一符号を付している。

【0015】動的読み込み式FPGA7の記憶部4は複数のSRAM4a～4dによって構成されており、外部記憶装置6から読み込まれた論理情報5の論理ブロック5a～5hが選択的に割り当てられる。論理情報5は、SRAM4a～4dが大容量のときにはSRAM4a～4dのうちのいずれか一つに論理情報5全体が割り当てられるか、あるいは論理ブロック5a～5hのうちのいくつか、SRAM4a～4dのうちのいずれかに割り当てられる。SRAM4a～4dが比較的小容量のときには、論理ブロック5a～5hのうち動作に必要なものがSRAM4a～4dに割り当てられる。また、SRAM4a～4dがさらに小容量であり、個々の論理ブロック5a～5hを一つのSRAMに割り当てることができないときには、論理ブロック5a～5hのうち動作に必要なものが、SRAM4a～4dのうちのいくつかに渡って割り当てられる。以下の説明においては、上記のSRAM4a～4dが比較的小容量で、読み込まれた論理ブロック5a～5hにはSRAM4a～4dが一つずつ割り当てられる場合を例に挙げて説明する。

【0016】SRAM4a～4dの状態には、実際に動作状態にある実行SRAMと、次の処理段階で利用される待ちSRAMと、論理ブロック5a～5hが割り当てられていない、又は動作に不必要な論理ブロック5a～5hが割り当てられている未使用SRAMとが存在し、新しく外部記憶装置6から読み込まれる論理ブロックは未使用SRAMに割り当てられる。すなわち、実行SRAMには動作中論理ブロックが存在し、待ちSRAMには動作予定論理ブロックが存在している。

【0017】制御部9は、入力される制御情報に基づい

て、クロスバースイッチ8a、8bから構成されるスイッチ部8を制御し、SRAM4a～4d、制御部9、制御ポート10の接続状態を切り換える。

【0018】制御部9は、このスイッチ部8の制御の他に、SRAM4a～4dへの論理ブロック5a～5hの読み込みと割り当て、制御情報に従った動作順序を実行するためのスケジューリングなどを行ない、加えて利用頻度が高い、又は常に動作が要求される図示しない論理ブロックを読み込んで機能する。

【0019】制御ポート10は、外部装置11に対する信号の入出力機能を有しており、外部装置11から入力した情報をクロスバースイッチ8a、8bを介してSRAM4a～4d、又は制御部9へ送信する。

【0020】また、この制御ポート10は、SRAM4a～4dのうち、動作していないもの、論理ブロック5a～5hが割り当てられていないもの、クロスバースイッチ8a、8bによって切断された状態にあるものが、先の動作で出力した出力情報を保持する。

【0021】そして、この制御ポートは、次の処理段階で必要とされる情報をクロスバースイッチ8a、8bを介してSRAM4a～4d、又は制御部9へ送信する。以上のように構成された動的読み込み式FPGA7の動作を図2に示す。

【0022】まず、制御部9に制御情報が入力され（s1）、制御情報に基づいて制御部9が外部記憶装置6の論理ブロック5a～5hから動作に必要なものを選択してそれぞれSRAM4a～4dのいずれかに割り当てる（s2）。SRAM4a～4dのうち論理ブロック5a～5hのいずれかを割り当てられたものは、待ちSRAMになる。また、制御部9は、クロスバースイッチ8a、8bを制御してSRAM4a～4dと制御ポート10の接続状態を切り換える（s3）。

【0023】次に、制御ポート10が入力データを受ける（s4）。すると、制御部9のスケジューリングに基づいて、動作する指令を受けた待ちSRAMが実行SRAMとなり（s5）、制御ポート10のデータを用いて動作する（s6）。

【0024】ここで、実行SRAMの動作中に、制御部9が論理ブロック5a～5hのうち新しく必要になるものを未使用SRAMに読み込む旨の指令を発すると（s7）、この論理ブロック5a～5hのうち新しく必要となるものが未使用SRAMに割り当てられ、論理ブロック5a～5hのうち新しく必要となるものを割り当てられた未使用SRAMは、待ちSRAMになる（s8）。さらに制御部9はクロスバースイッチ8a、8bの接続状態を切り換える（s9）。

【0025】そして、実行SRAMの動作が終了し（s10）、制御部9のスケジューリングが動的読み込み式FPGA7の動作終了を示す場合には（s11）、結果を制御ポート10が出力する（s12）。制御部9のス

ケジュールリングが動的読み込み式FPGA7の動作終了を示さない場合には、制御部9のスケジュールリングに基づいて、動作する指令を受けた待ちSRAMが実行SRAMとなって制御ポート10のデータを用いて動作を行なう。そして、実行SRAMだったものは待ちSRAM又は未使用SRAMになる。

【0026】以上のように本実施形態の動的読み込み式FPGA7においては、制御部9のスケジュールリングに基づいて、SRAM4a～4dのいずれかが動作中であっても、SRAM4a～4dのうち未使用のものに、論理ブロック5a～5hのうち新しく必要となるものを割り当てる。例えばシークエンシャルに動作するハードウェアでは、同時に動作しなければならない論理回路は限定されるため、上記の動的読み込み式FPGA7のように必要時に論理ブロック5a～5hのうち必要なものを読み込むことで、予め機能実現に必要な全ての論理ブロック5a～5hを読み込んでSRAM4a～4dに割り当てておく必要がなくなる。

【0027】ゆえに、SRAM4a～4dなどの構成素子の削減、すなわちゲート規模の縮小が可能であり、同時に動作する構成素子の削減により消費電力の低減を図ることができる。

【0028】また、動作を停止してから論理ブロック5a～5hを読み込む必要がないため、高速に機能を変更することができる。なお、SRAM4a～4d及び論理ブロック5a～5hの数はここで示したものに限られず、他の数でも同様の動作で同様の効果が得られる。また、本実施形態においては、読み込まれた論理ブロック5a～5hにはSRAM4a～4dが一つずつ割り当てられる場合を例に挙げて説明したが他の場合においても同様の動作で同様の効果を得ることができる。これらにおいては以下の実施形態でも同様である。

【0029】（第2の実施形態）本実施形態は、前記第1の実施形態による動的読み込み式FPGA7をステートマシーンとして利用するものである。図3はこの概念図を示しており、図1と同一部分には同一符号を付してその説明を省略する。

【0030】ステート12a～12hは、動的読み込み式FPGA7をステートマシーンとして機能させるための論理情報であり、動作するタイミング毎にブロック分割され、外部記憶装置6に格納されている。

【0031】制御部9は、ステート12a～12hのうち使用する可能性の高いもの、すなわちステート12a～12hのうち利用頻度の高いものを、予め未使用SRAMに格納しておき、制御情報に含まれている遷移情報に基づいて状態遷移する場合に、この遷移情報で指定された待ちSRAMを、実行SRAMに切り換える。また、待ちSRAMに、ステート12a～12hのうち遷移情報で指定されたものがない場合には、予め未使用SRAMにステート12a～12hのうち遷移情報で指定

されたものを読み込む。

【0032】この動的読み込み式FPGA7は、実行するステート12a～12hを変えることで様々な状態に遷移するステートマシーンとして機能する。図4は、動的読み込み式FPGA7によるステートマシンの動作を示すフロー図である。

【0033】まず、制御部9に制御情報が入力され（t1）、制御情報に基づいて制御部9が外部記憶装置6のステート12a～12hのうち利用頻度の高いものをSRAM4a～4dのいずれかに割り当てる（t2）。ステート12a～12hのいずれかを割り当てられたSRAM4a～4dは、待ちSRAMになる。また、制御部9はスイッチ部8の接続状態を切り換える（t3）。

【0034】次に、制御ポート10が入力データを受ける（t4）。すると、制御部9の遷移情報で指定された待ちSRAMが実行SRAMとなり（t5）、制御ポート10のデータを用いて動作する（t6）。先に示した図3は、この状態を示している。すなわち、図3は、ステート12a～12cがそれぞれSRAM4a～4cに読み込まれ、SRAM4aが実行SRAMとなっており、SRAM4b、4cが待ちSRAMとなっており、SRAM4dが未使用SRAMになっている状態を示している。

【0035】ここで、実行SRAMの動作中に、ステート12a～12hのうち遷移情報によって以後動作予定となっていると示されるものが、SRAM4a～4dのいずれにも読み込まれていない場合に（t7）、ステート12a～12hのうち動作予定となっているものが、未使用SRAMに割り当てられ、新しくステート12a～12hのいずれかを割り当てられた未使用SRAMは、待ちSRAMになる（t8）。さらに制御部9はスイッチ部8の接続状態を切り換える（t9）。例えば、先に示した図3において、制御部9の遷移情報がステート12dを必要とする旨を示すと、制御部9はステート12dを未使用SRAMであるSRAM4dに格納し、このSRAM4dは待ちSRAMになる。

【0036】そして、実行SRAMの動作が終了し（t10）、制御部9が動的読み込み式FPGA7の動作終了を示す場合には（t11）、結果を制御ポート10が出力する（t12）。制御部9が動的読み込み式FPGA7の動作終了を示さない場合には、制御部9に動作するように指令を受けた待ちSRAMが実行SRAMとなり、制御ポート10のデータを用いて動作を行なう。そして、実行SRAMだったものは待ちSRAM又は未使用SRAMになる。

【0037】以上のように、本実施形態の動的読み込み式FPGA7においては、遷移情報をチェックし、遷移情報に基づいて、ステート12a～12hのうち動作予定となっているものを、SRAM4a～4dのうち未使用のものに動的に割り当てるため、様々な状態に高速に

遷移可能なステートマシンを実現できる。

【0038】また、前記第1の実施形態による動的読み込み式FPGA7と同様の効果に加え、比較的規模の大きいステートマシンが小規模の構成素子で実現可能になる。

【0039】（第3の実施形態）本実施形態は、複数の汎用的な処理からなる全体処理を前記第1の実施形態による動的読み込み式FPGA7で行なうことで処理の高速化を図るものである。

【0040】図5は第3の実施形態による動的読み込み式FPGA7の概念図であり、図3と同一部分には同一符号を付している。ここでは、例として加算、減算、乗算、除算、…、比較の各汎用処理13a～13hを用いて、動的読み込み式FPGA7によって加算、減算、乗算、除算の順に全体処理を実行する場合を説明する。

【0041】汎用処理13a～13hは、外部記憶装置6に格納されている。制御部9は、汎用処理13a～13hのうち制御情報に含まれている順序情報によって指示されるものを予めSRAM4a～4dのうち未使用のものに格納しておき、順序情報に基づいて待ちSRAMを実行SRAMに切り換える。

【0042】図6は、本実施形態の動的読み込み式FPGA7の処理動作を示すフロー図である。まず、制御部9に制御情報が入力され（u1）、順序情報に基づいて制御部9が汎用処理13a～13hのうち必要なものを読み込んでそれぞれSRAM4a～4dのいずれかに割り当てる（u2）。SRAM4a～4dのうち汎用処理13a～13hのいずれかを割り当てられたものは、待ちSRAMになる。また、制御部9はスイッチ部8の接続状態を切り換える（u3）。

【0043】次に、制御ポート10が入力データを受け（u4）。すると、制御部9の順序情報で指定された待ちSRAMが実行SRAMとなり（u5）、制御ポート10のデータを用いて、汎用処理13a～13hのうち実行SRAMに読み込まれているものを実行する（u6）。先に示した図5は、この状態を示している。すなわち、図5は、汎用処理13a～13cがそれぞれSRAM4a～4cに読み込まれ、SRAM4aが実行SRAMとなっており、SRAM4b、4cが待ちSRAMとなっており、SRAM4dが未使用SRAMになっている状態を示している。すなわち、順序情報は、加算、減算、乗算、除算の順に全体処理を行なう旨の情報を保持し、これに従って、まず加算、減算、乗算が読み込まれ、加算が実行されている。

【0044】ここで、実行SRAMの動作中に、制御部9において新しく汎用処理13a～13hのいずれかを読み込む旨の条件が成立した場合に（u7）、汎用処理13a～13hのうち該当するものが未使用SRAMに割り当てられ、新しく汎用処理13a～13hのいずれかを割り当てられた未使用SRAMは待ちSRAMにな

る（u8）。さらに制御部9が、スイッチ部8の接続状態を切り換える（u9）。例えば、先に示した図5において、制御部9で汎用処理13dを必要とする条件が成立すると、制御部9は汎用処理13dを未使用SRAMであるSRAM4dに読み込み、このSRAM4dは待ちSRAMになる。すなわち、加算を実行中に減算、乗算を待ち状態とし、除算を読み込んでいる。

【0045】そして、実行SRAMの動作が終了し（u10）、制御部9が動的読み込み式FPGA7で行なう全体処理の終了を示す場合には（u11）、結果を制御ポート10が出力する（u12）。制御部9が動的読み込み式FPGA7で行なう全体処理の終了を示さない場合には、制御部9の順序情報で指定された待ちSRAMが実行SRAMとなり、制御ポート10のデータを用いて全体処理を行なう。そして、実行SRAMだったものは待ちSRAM又は未使用SRAMになる。このような動作を繰り返すことで、加算、減算、乗算、除算が実行される。

【0046】以上のように、本実施形態においては前記第1の実施形態による動的読み込み式FPGA7と同様の効果に加え、汎用処理13a～13hのいずれかを順次SRAM4a～4dのいずれかに割り当て、順序情報に従って各汎用処理13a～13hを実行していくことで、パイプライン的な汎用処理13a～13hの読み込みにより全体処理の高速化を図ることができる。

【0047】さらに、この動的読み込み式FPGA7は汎用の論理回路として使用可能であるため、ソフトウェアなどから制御可能とすれば、ソフトウェアの処理の一部をハードウェアに置き換えて実行でき、一層の高速化を図ることができる。

【0048】なお、本実施形態においては、例として加算、減算、乗算、除算、…、比較の各汎用処理13a～13hを用いて、加算、減算、乗算、除算の順に全体処理を実行する場合を説明したが他の場合においても同様の動作で同様の効果を得ることができる。

【0049】（第4の実施形態）本実施形態は、前記第1の実施形態による動的読み込み式FPGA7を例えばDSPやFPUとして利用するものである。ここでは、動的読み込み式FPGA7をDSPとして利用する場合について説明する。

【0050】図7は動的読み込み式FPGA7をDSPとして利用する場合の概念図を示しており、図3と同一部分には同一符号を付している。DSPとしての処理を実現するためのDSP情報14は、処理を行なうのに適した状態となるように動作するタイミング毎にブロック14a～14hに分割されており、外部記憶装置6に格納されている。

【0051】制御部9は、ブロック14a～14hのうち動作で使用する可能性のあるものを予め未使用SRAMに格納しておき、制御情報に含まれている遷移情報に

に基づいて、状態遷移すると待ちSRAMのいずれかを実行SRAMに切り換える。

【0052】図8は、動的読み込み式FPGA7をDSPとして利用する場合の動作を示すフロー図である。まず、制御部9に動的読み込み式FPGA7をDSPとして利用する場合の制御情報が入力され(v1)、制御ポート10が入力データを受ける(v2)。そして、制御情報と入力データに基づいて制御部9が、ブロック14a~14hのうち動作に必要なものをSRAM4a~4dのいずれかに割り当てる(v3)。ブロック14a~14hのいずれかを割り当てられたSRAM4a~4dは、待ちSRAMになる。また、制御部9はスイッチ部8の接続状態を切り換える(v4)。

【0053】次に、制御部9の遷移情報に基づいて、動作する指令を受けた待ちSRAMのいずれかが実行SRAMとなり(v5)、制御ポート10のデータを用いて動作する(v6)。先に示した図7は、この状態を示している。すなわち、図7は、ブロック14a~14cがそれぞれSRAM4a~4cに読み込まれ、SRAM4aが実行SRAMとなっており、SRAM4b、4cが待ちSRAMとなっており、SRAM4dが未使用SRAMになっている状態を示している。

【0054】ここで、実行SRAMの動作中に、制御部9において、ブロック14a~14hのうち新しく必要になるものを読み込む旨の遷移条件が成立した場合に(v7)、ブロック14a~14hのうち新しく必要とされるものが未使用SRAMに割り当てられ、新しくブロック14a~14hのいずれかを割り当てられた未使用SRAMは、待ちSRAMになる(v8)。さらに制御部9はスイッチ部8の接続状態を切り換える(v9)。例えば、先に示した図7において、制御部9でブロック14dを必要とする遷移情報が成立すると、制御部9はブロック14dを未使用SRAMであるSRAM4dに格納し、このSRAM4dは待ちSRAMになる。

【0055】そして、実行SRAMの動作が終了し(v10)、制御部9が入力データに対する動作終了を示す場合には(v11)、結果を制御ポート10が出力する(v12)。制御部9が入力データに対する動作終了を示さない場合には、制御部9に動作するように指令を受けた待ちSRAMが実行SRAMとなり、制御ポート10のデータを用いて処理を行なう。そして、実行SRAMだったものは待ちSRAM又は未使用SRAMになる。

【0056】そして、DSPとしての動作を終了する場合は(v13)、動的読み込み式FPGA7は動作を終了し、DSPとしての動作を終了しない場合は入力データが入力されるのを待つ。

【0057】以上のように、本実施形態においては前記第1の実施形態による動的読み込み式FPGA7と同様

の効果に加え、遷移情報をチェックし、ブロック14a~14hのうち不必要なものを除いてブロック14a~14hのうち必要なものをSRAM4a~4dに動的に割り当てることで動的読み込み式FPGA7をDSPとして利用することができる。また、同様にFPUなどとしても利用でき、多機能な論理回路を実現できる。

【0058】

【発明の効果】以上説明したように、本発明によれば、フィールド・プログラマブル・ゲートアレイにおける論理情報の読み込みを動的に行なうため、論理回路としての機能を実現するために最小限の論理情報のみを動的に読み込むことによりメモリ素子などの削減が可能となり大規模論理回路を小規模な論理素子で実現することができる。

【0059】また、同時に動作する論理素子の削減により消費電力の低減を図ることができる。さらに、動作を停止してから読み込みを行なう必要がなく高速に機能を切り換えることができる。

【図面の簡単な説明】

【図1】第1の実施形態の動的読み込み式FPGAの構成例を示すブロック図。

【図2】同実施形態の動的読み込み式FPGAの動作を示すフロー図。

【図3】第2の実施形態の動的読み込み式FPGAの構成例を示す概念図。

【図4】同実施形態の動的読み込み式FPGAの動作を示すフロー図。

【図5】第3の実施形態の動的読み込み式FPGAの構成例を示す概念図。

【図6】同実施形態の動的読み込み式FPGAの動作を示すフロー図。

【図7】動的読み込み式FPGAをDSPとして利用する場合の概念図。

【図8】動的読み込み式FPGAをDSPとして利用する場合の動作を示すフロー図。

【図9】従来のSRAMタイプのFPGAの概要を示すブロック図。

【符号の説明】

- 1…ゲートアレイ基板
- 2…アドレス入力端子
- 3…データ出力端子
- 4…記憶部
- 4a~4d…SRAM
- 5…論理情報
- 5a~5h…論理ブロック
- 6…外部記憶装置
- 7…動的読み込み式FPGA
- 8…スイッチ部
- 8a、8b…クロスバースイッチ
- 9…制御部

10…制御ポート

11…外部装置

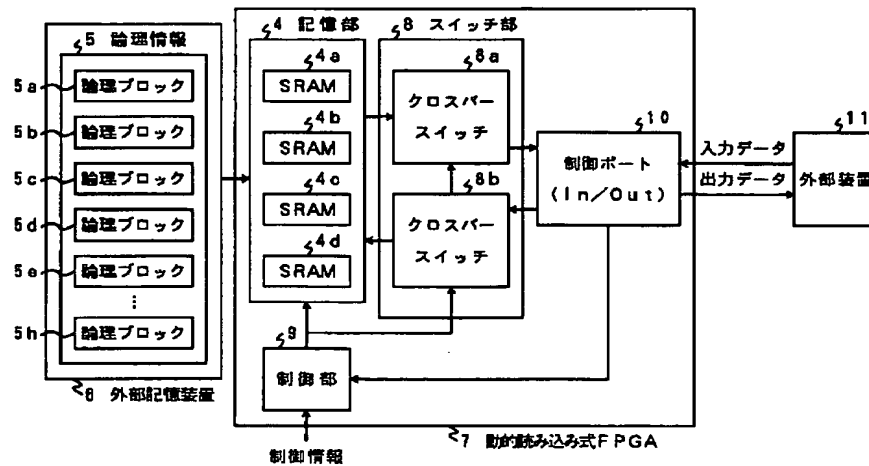
12a～12h…ステート

13a～13h…汎用処理

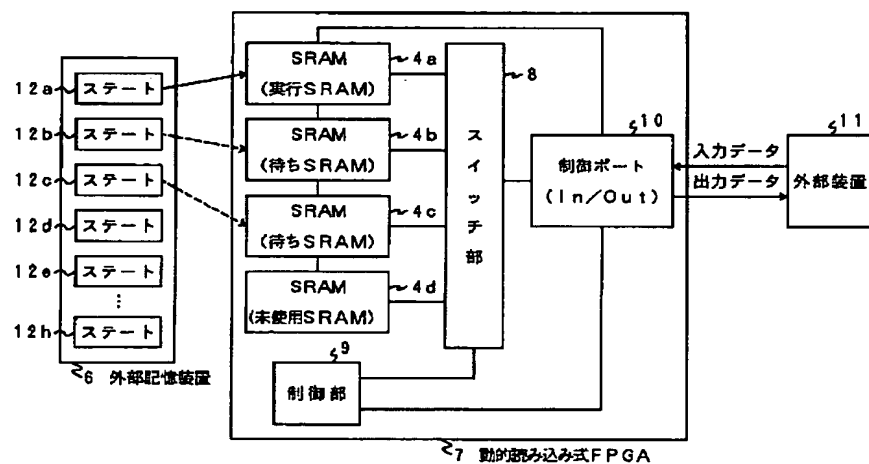
14…DSP情報

14a～14h…ブロック

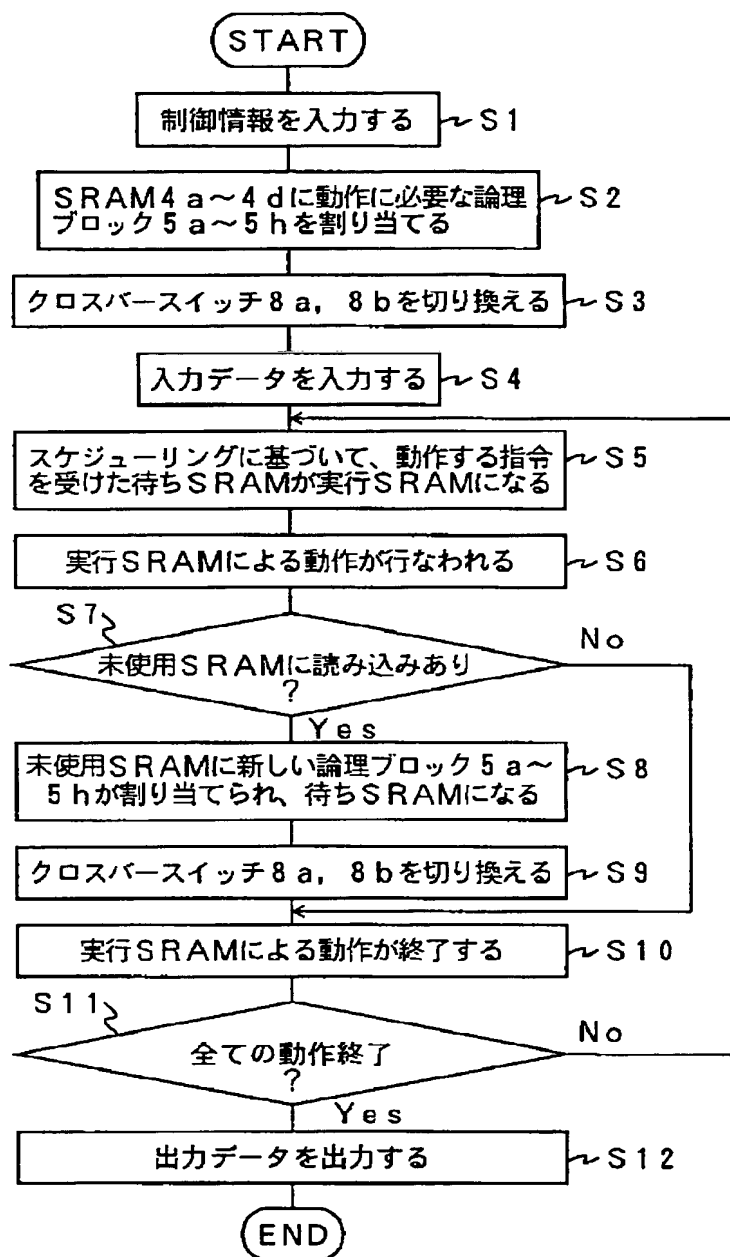
【図1】



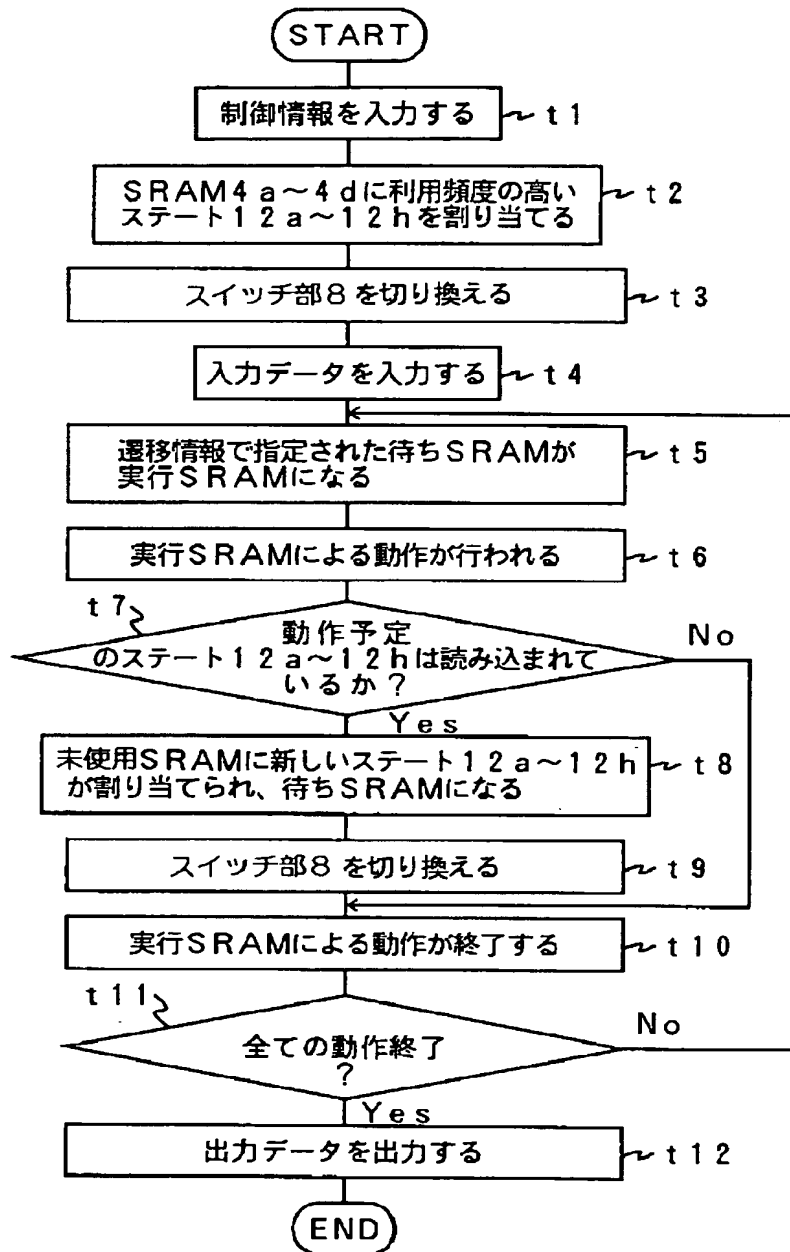
【図3】



【図 2】



【図4】

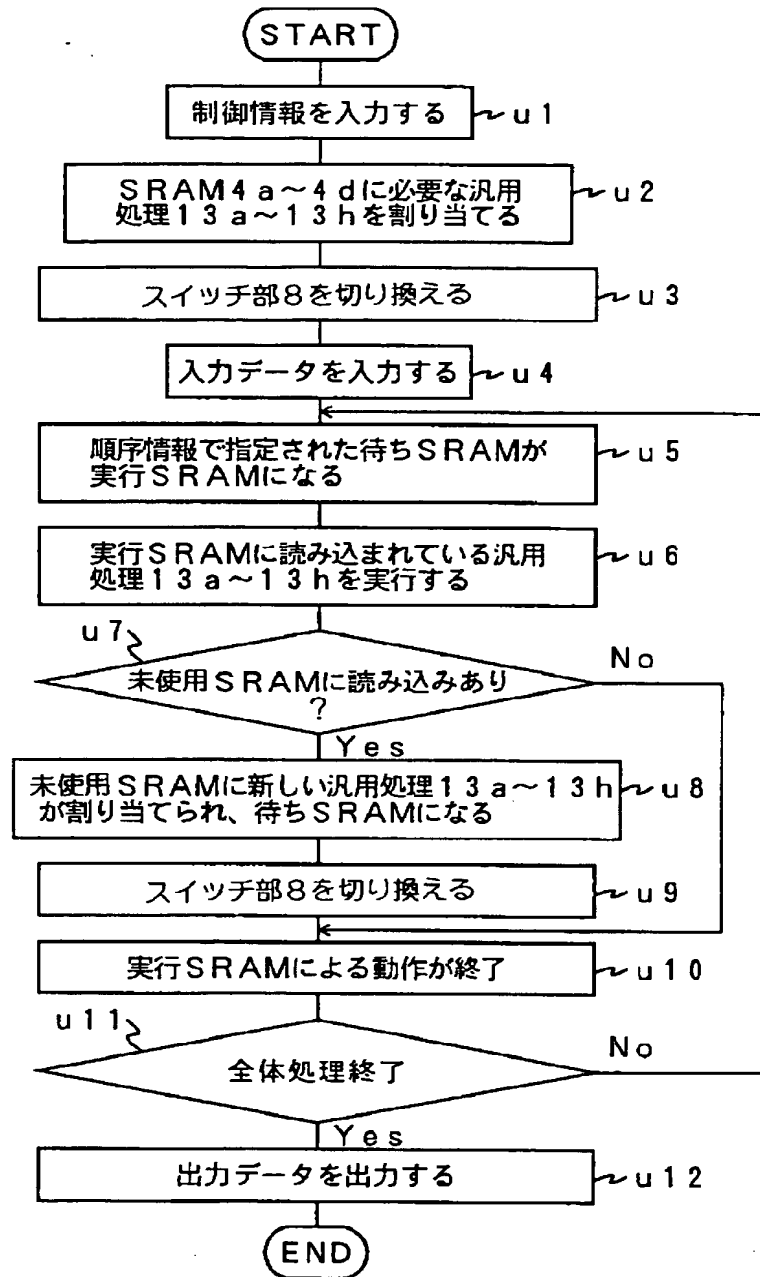




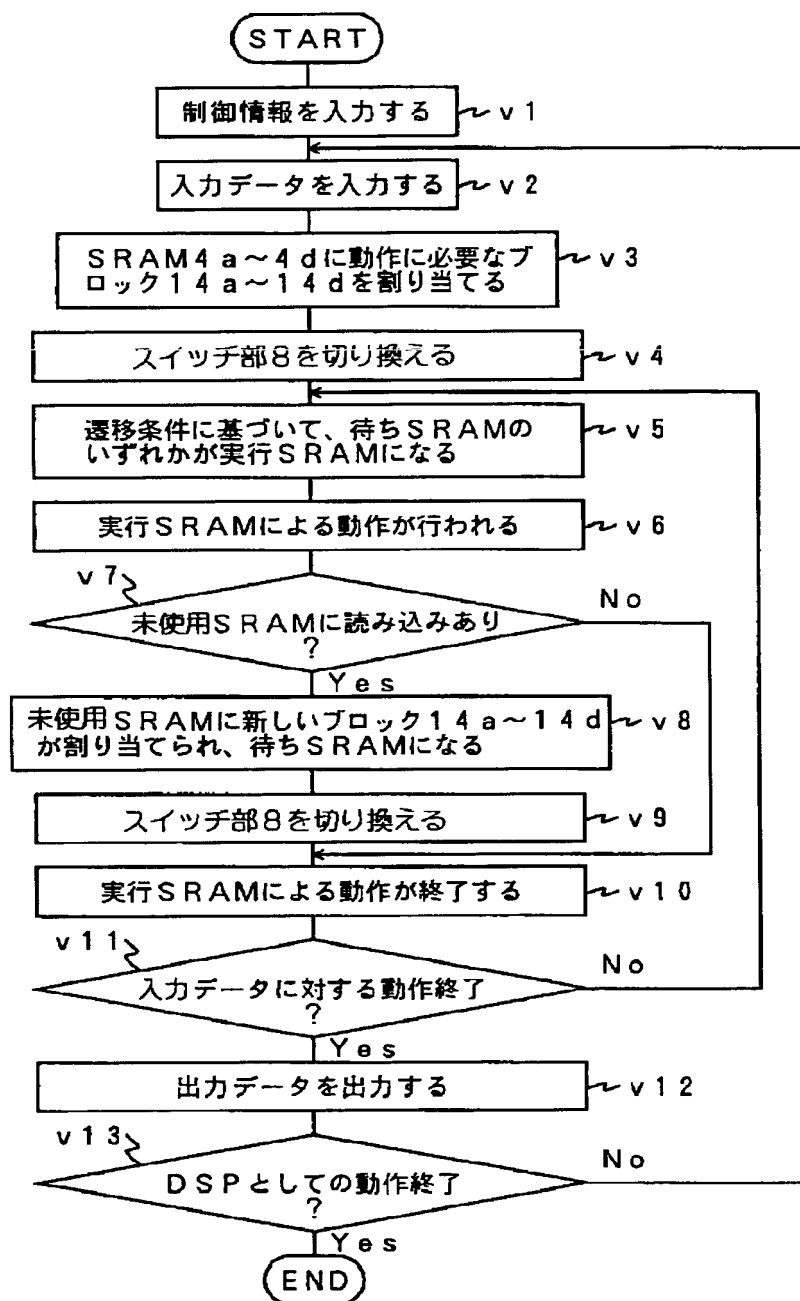
【図 7】



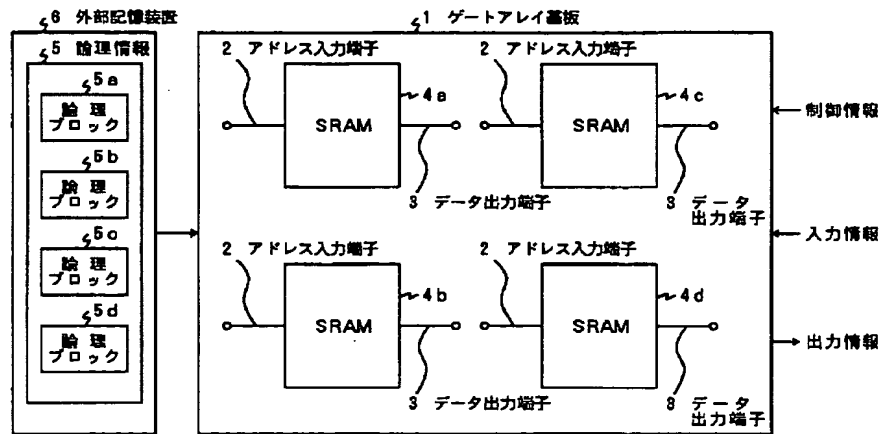
【図6】



【図 8】



【図 9】



THIS PAGE BLANK (USPTO)